

PATENT  
81754.0095

Express Mail Label No. EV 325 216 054 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

TERASAWA, et al.

Serial No: Not Assigned

Filed: July 30, 2003

For: Semiconductor Device, Design  
Method for Semiconductor Device,  
Design Apparatus and Design  
Program for Semiconductor Device

Art Unit: Not Assigned

Examiner: Not Assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

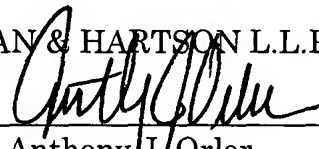
Enclosed herewith is a certified copy of Japanese patent application No. 2002-221261, which was filed July 30, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: July 30, 2003

By:   
Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月30日

出願番号

Application Number:

特願2002-221261

[ST.10/C]:

[JP2002-221261]

出願人

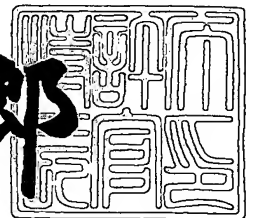
Applicant(s):

セイコーエプソン株式会社

2003年 4月22日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3029032

【書類名】 特許願  
【整理番号】 J0091783  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 17/50  
【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 寺澤 悦子

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 小野 芳照

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100110858

【弁理士】

【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

【識別番号】 100107526

【弁理士】

【氏名又は名称】 鈴木 直郁

【選任した代理人】

【識別番号】 100110777

【弁理士】

【氏名又は名称】 宇都宮 正明

【選任した代理人】

【識別番号】 100100413

【弁理士】

【氏名又は名称】 渡部 温

【手数料の表示】

【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014943

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の設計方法及び設計装置、並びに半導体装置の設計プログラム

【特許請求の範囲】

【請求項 1】 半導体装置の設計を行うための方法であって、  
設計対象である半導体装置のネットリストを受信するステップ（a）と、  
設計対象である半導体装置のレイアウト領域内に複数の機能ブロックを仮配置するステップ（b）と、  
設計対象である半導体装置のロジック領域を複数の矩形領域に分割するステップ（c）と、  
過去に設計された半導体装置及び設計対象である半導体装置に関するデータベース並びに前記設計対象である半導体装置のネットリストに基づいて、設計対象である半導体装置の配線長の予測値及びロジック領域の利用率の予測値を算出するステップ（d）と、  
前記設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たさない場合に、ステップ（b）～ステップ（d）を繰り返すステップ（e）と、  
前記設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たす場合に、複数の機能ブロック、基本セル、及び、配線を設計対象である半導体装置のロジック領域内に配置するためのフロアプラン情報を出力するステップ（f）と、  
前記設計対象である半導体装置の配線長の予測値を出力するステップ（g）と  
を具備する半導体装置の設計方法。

【請求項 2】 過去に設計された半導体装置のロジック領域内に配置された基本セルに関する情報、過去に設計された半導体装置のネットリストに関する情報、過去に設計された半導体装置の配線長に関する情報、過去に設計された半導体装置のロジック領域の利用率に関する情報、又は、設計対象である半導体装置のロジック領域内に配置される可能性のある基本セルに関する情報を含むデータ

ベースを作成するステップをさらに具備する請求項 1 記載の半導体装置の設計方法。

【請求項 3】 前記過去に設計された半導体装置のロジック領域内に配置された基本セルに関する情報又は前記設計対象である半導体装置のロジック領域内に配置される可能性のある基本セルに関する情報が、基本セルが有するピンの数に関する情報、基本セルに接続されるネットの数に関する情報、又は、基本セルの種類に関する情報を含むことを特徴とする請求項 2 記載の半導体装置の設計方法。

【請求項 4】 前記過去に設計された半導体装置のネットリストに関する情報が、ゲート総数、全てのネットを接続ピン数別に分類することによって得られるネットリストとピン数の関係に関する情報、又は、ネット数とピン数の割合関係を示す情報を含むことを特徴とする請求項 2 又は 3 記載の半導体装置の設計方法。

【請求項 5】 前記過去に設計された半導体装置の配線長に関する情報が、アルミニウム配線層の層数が所定の数である場合におけるネットリストの総配線長に関する情報、又は、全てのネットを接続ピン数別に分類することによって得られるピン数と配線長の関係に関する情報を含むことを特徴とする請求項 2 ～ 4 のいずれか 1 項に記載の半導体装置の設計方法。

【請求項 6】 前記過去に設計された半導体装置のロジック領域の利用率に関する情報が、アルミニウム配線層の層数が所定の数であり且つロジック領域の形状が正方形である場合の利用率の最大値を含むことを特徴とする請求項 2 ～ 5 のいずれか 1 項に記載の半導体装置の設計方法。

【請求項 7】 ステップ (d) が、

前記データベースに基づいて、設計対象である半導体装置の全ネットの配線長の平均値の予測値を算出するための第 1 の式、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾きを算出するための第 2 の式、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を算出するための第 3 の式を、設計対象である半導体装

置のアルミニウム配線層の層数に応じて作成するステップ（h）と、

前記第 1 ～第 3 の式及び前記設計対象である半導体装置のネットリストを用いて、設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を、設計対象である半導体装置のアルミニウム配線層の層数に応じて算出するステップ（i）と、

ステップ（i）にて算出された設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を、前記矩形領域の形状に応じて補正するステップ（j）と、

前記データベース、ステップ（i）にて算出された設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値、並びに、前記設計対象である半導体装置のネットリストに基づいて、設計対象である半導体装置のロジック領域の利用率の予測値を算出するための第 4 の式を、前記設計対象である半導体装置のアルミニウム配線層の層数に応じて作成するステップ（k）と、

前記第 4 の式に基づいて、設計対象である半導体装置のロジック領域の利用率の予測値を、前記設計対象である半導体装置のアルミニウム配線層の層数に応じて算出するステップ（l）と、

ステップ（l）にて算出された設計対象である半導体装置のロジック領域の利用率の予測値を、前記矩形領域の形状に応じて補正するステップ（m）と、  
を含むことを特徴とする請求項 2 ～ 6 のいずれか 1 項に記載の半導体装置の設計

方法。

【請求項 8】 ステップ（h）が、回帰分析によって前記第 1 ～第 3 の式を作成し、ステップ（1）が、回帰分析によって前記第 4 の式を作成することを特徴とする請求項 7 記載の半導体装置の設計方法。

【請求項 9】 請求項 1 ～ 8 のいずれか 1 項に記載の半導体装置の設計方法によって設計されたことを特徴とする半導体装置。

【請求項 1 0】 半導体装置の設計を行うための装置であって、  
設計対象である半導体装置のネットリスト及び設計対象である半導体装置内に配置すべき複数の機能ブロックの配置位置を指定する情報を入力するための入力手段と、

前記設計対象である半導体装置のネットリストを記録する第 1 の記録手段と、  
過去に設計された半導体装置及び設計対象である半導体装置に関するデータベースを記録する第 2 の記録手段と、

過去に設計された半導体装置内に配置された基本セル及び設計対象である半導体装置のロジック領域内に配置される可能性のある基本セルに関する情報を記録する第 3 の記録手段と、

前記配置位置を指定する情報に応じて、設計対象である半導体装置のレイアウト領域内に複数の機能ブロックを仮配置する機能ブロック仮配置手段と、

設計対象である半導体装置のロジック領域を複数の矩形領域に分割するロジック領域分割手段と、

前記データベース及び前記設計対象である半導体装置のネットリストに基づいて、設計対象である半導体装置の配線長の予測値及びロジック領域の利用率の予測値を算出するロジック領域利用率予測値算出手段と、

前記設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たすか否かを判断し、前記設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たさない場合に、設計対象である半導体装置内に配置すべき複数の機能ブロックの新たな配置位置を指定する情報を入力するようにユーザを促すロジック領域利用率予測値判断手段と、

前記設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件



を満たす場合に、複数の機能ブロック、基本セル、及び、配線を設計対象である半導体装置のロジック領域内に配置するためのフロアプラン情報又はロジック領域の利用率予測値を出力し、若しくは、複数の機能ブロック、基本セル、及び、配線の配置を行うフロアプラン情報出力手段と、

前記設計対象である半導体装置の配線長の予測値を出力する配線長予測値出力手段と、

前記機能ブロック仮配置手段によって複数の機能ブロックの仮配置が行われた設計対象である半導体装置のレイアウト、前記設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たさない場合に、設計対象である半導体装置内に配置すべき複数の機能ブロックの新たな配置位置を指定する情報を入力するようにユーザを促す画像、又は、前記フロアプラン情報出力手段によって複数の基本セル及び配線の配置が行われた設計対象である半導体装置のレイアウトを表示するための表示手段と、  
を具備する半導体装置の設計装置。

【請求項 1 1】 過去に設計された半導体装置のネットリストを記録する第 4 の記録手段と、

前記過去に設計された半導体装置のネットリスト、並びに、過去に設計された半導体装置内に配置された基本セル及び設計対象である半導体装置のロジック領域内に配置される可能性のある基本セルに関する情報に基づいて、過去に設計された半導体装置のロジック領域内に配置された基本セルに関する情報、過去に設計された半導体装置のネットリストに関する情報、過去に設計された半導体装置の配線長に関する情報、過去に設計された半導体装置のロジック領域の利用率に関する情報、又は、設計対象である半導体装置のロジック領域内に配置される可能性のある基本セルに関する情報を含むデータベースを作成するデータベース作成手段と、

をさらに具備する請求項 1 0 記載の半導体装置の設計装置。

【請求項 1 2】 前記過去に設計された半導体装置のロジック領域内に配置された基本セルに関する情報又は前記設計対象である半導体装置のロジック領域内に配置される可能性のある基本セルに関する情報が、基本セルが有するピンの

数に関する情報、基本セルに接続されるネットの数に関する情報、又は、基本セルの種類に関する情報を含むことを特徴とする請求項 1 1 記載の半導体装置の設計装置。

【請求項 1 3】 前記過去に設計された半導体装置のネットリストに関する情報が、ゲート総数、全てのネットを接続ピン数別に分類することによって得られるネットリストとピン数の関係に関する情報、又は、ネット数とピン数の割合関係を示す情報を含むことを特徴とする請求項 1 1 又は 1 2 記載の半導体装置の設計装置。

【請求項 1 4】 前記過去に設計された半導体装置の配線長に関する情報が、アルミニウム配線層の層数が所定の数である場合におけるネットリストの総配線長に関する情報、又は、全てのネットを接続ピン数別に分類することによって得られるピン数と配線長の関係に関する情報を含むことを特徴とする請求項 1 1 ～ 1 3 のいずれか 1 項に記載の半導体装置の設計装置。

【請求項 1 5】 前記過去に設計された半導体装置のロジック領域の利用率に関する情報が、アルミニウム配線層の層数が所定の数であり且つロジック領域の形状が正方形である場合の利用率の最大値を含むことを特徴とする請求項 1 1 ～ 1 4 のいずれか 1 項に記載の半導体装置の設計装置。

【請求項 1 6】 前記ロジック領域利用率予測値算出手段が、  
前記データベースに基づいて、設計対象である半導体装置の全ネットの配線長の平均値の予測値を算出するための第 1 の式、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾きを算出するための第 2 の式、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を算出するための第 3 の式を、設計対象である半導体装置のアルミニウム配線層の層数に応じて作成する配線長平均予測値等算出式作成部と、

前記第 1 ～ 第 3 の式及び前記設計対象である半導体装置のネットリストを用いて、設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各

接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を、設計対象である半導体装置のアルミニウム配線層の層数に応じて算出する配線長平均予測値等算出部と、

前記配線長平均予測値等算出部によって算出された設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を、前記矩形領域の形状に応じて補正する第1補正部と、

前記データベース、前記配線長平均予測値等算出部によって算出された設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値、並びに、前記設計対象である半導体装置のネットリストに基づいて、設計対象である半導体装置のロジック領域の利用率を算出するための第4の式を、前記設計対象である半導体装置のアルミニウム配線層の層数に応じて作成する利用率予測値算出式作成部と、

前記第4の式に基づいて、設計対象である半導体装置のロジック領域の利用率を、前記設計対象である半導体装置のアルミニウム配線層の層数に応じて算出する利用率予測値算出部と、

前記利用率予測値算出部によって算出された設計対象である半導体装置のロジック領域の利用率を、前記矩形領域の形状に応じて補正する第2補正部と、を含むことを特徴とする請求項11～15のいずれか1項に記載の半導体装置の設計装置。

【請求項17】 前記配線長平均予測値等算出式作成部が、回帰分析によって前記第1～第3の式を作成し、前記利用率予測値算出式作成部が、回帰分析によって前記第4の式を作成することを特徴とする請求項16記載の半導体装置の

設計装置。

【請求項 1 8】 半導体装置の設計を行うためのプログラムであって、  
設計対象である半導体装置のネットリストを受信する手順（a）と、  
設計対象である半導体装置のレイアウト領域内に複数の機能ブロックを仮配置  
する手順（b）と、  
設計対象である半導体装置のロジック領域を複数の矩形領域に分割する手順（  
c）と、  
過去に設計された半導体装置及び設計対象である半導体装置に関するデータベ  
ース並びに前記設計対象である半導体装置のネットリストに基づいて、設計対象  
である半導体装置の配線長の予測値及びロジック領域の利用率の予測値を算出す  
る手順（d）と、  
前記設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件  
を満たさない場合に、手順（b）～手順（d）を繰り返す手順（e）と、  
前記設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件  
を満たす場合に、複数の基本セル及び配線を設計対象である半導体装置のロジッ  
ク領域内に配置するためのフロアプラン情報を出力する手順（f）と、  
前記設計対象である半導体装置の配線長の予測値を出力する手順（g）と、  
をCPUに実行させるためのプログラム。

【請求項 1 9】 過去に設計された半導体装置のロジック領域内に配置され  
た基本セルに関する情報、過去に設計された半導体装置のネットリストに関する  
情報、過去に設計された半導体装置の配線長に関する情報、過去に設計された半  
導体装置のロジック領域の利用率に関する情報、又は、設計対象である半導体装  
置のロジック領域内に配置される可能性のある基本セルに関する情報を含むデー  
タベースを作成する手順をさらにCPUに実行させる請求項 1 8 記載のプログラ  
ム。

【請求項 2 0】 前記過去に設計された半導体装置のロジック領域内に配置  
された基本セルに関する情報又は前記設計対象である半導体装置のロジック領域  
内に配置される可能性のある基本セルに関する情報が、基本セルが有するピンの  
数に関する情報、基本セルに接続されるネットの数に関する情報、又は、基本セ

ルの種類に関する情報を含むことを特徴とする請求項 1 9 記載のプログラム。

【請求項 2 1】 前記過去に設計された半導体装置のネットリストに関する情報が、ゲート総数、全てのネットを接続ピン数別に分類することによって得られるネットリストとピン数の関係に関する情報、又は、ネット数とピン数の割合関係を示す情報を含むことを特徴とする請求項 1 9 又は 2 0 記載のプログラム。

【請求項 2 2】 前記過去に設計された半導体装置の配線長に関する情報が、アルミニウム配線層の層数が所定の数である場合におけるネットリストの総配線長に関する情報、又は、全てのネットを接続ピン数別に分類することによって得られるピン数と配線長の関係に関する情報を含むことを特徴とする請求項 1 9 ～ 2 1 のいずれか 1 項に記載のプログラム。

【請求項 2 3】 前記過去に設計された半導体装置のロジック領域の利用率に関する情報が、アルミニウム配線層の層数が所定の数であり且つロジック領域の形状が正方形である場合の利用率の最大値を含むことを特徴とする請求項 2 0 ～ 2 3 のいずれか 1 項に記載のプログラム。

【請求項 2 4】 手順 (d) が、

前記データベースに基づいて、設計対象である半導体装置の全ネットの配線長の平均値の予測値を算出するための第 1 の式、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾きを算出するための第 2 の式、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を算出するための第 3 の式を、設計対象である半導体装置のアルミニウム配線層の層数に応じて作成する手順 (h) と、

前記第 1 ～ 第 3 の式及び前記設計対象である半導体装置のネットリストを用いて、設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を、設計対象である半導体装置のアルミニウム配線層の層数に応じて算出する手順 (i) と、

手順（i）にて算出された設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値を、前記矩形領域の形状に応じて補正する手順（j）と、

前記データベース、手順（i）にて算出された設計対象である半導体装置の全ネットの配線長の平均値の予測値、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、又は、設計対象である半導体装置のネットの内の接続ピン数が「2」であるネットの配線長の平均値の予測値、並びに、前記設計対象である半導体装置のネットリストに基づいて、設計対象である半導体装置のロジック領域の利用率の予測値を算出するための第4の式を、前記設計対象である半導体装置のアルミニウム配線層の層数に応じて作成する手順（k）と

前記第4の式に基づいて、設計対象である半導体装置のロジック領域の利用率を、前記設計対象である半導体装置のアルミニウム配線層の層数に応じて算出する手順（l）と、

手順（l）にて算出された設計対象である半導体装置のロジック領域の利用率を、前記矩形領域の形状に応じて補正する手順（m）と、

を含むことを特徴とする請求項19～23のいずれか1項に記載のプログラム。

【請求項25】 手順（h）が、回帰分析によって前記第1～第3の式を作成し、手順（l）が、回帰分析によって前記第4の式を作成することを特徴とする請求項24記載のプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の設計方法及びそのような半導体装置の設計方法によって設計された半導体装置に関する。さらに、本発明は、そのような半導体装置の

設計方法を用いた半導体装置の設計装置及び半導体装置の設計を行うためのプログラムに関する。

#### 【0002】

##### 【従来の技術】

従来より、半導体装置の設計において、フロアプランを行うためのフロアプラン装置が用いられている。なお、フロアプランとは、設計対象である半導体装置の機能ブロック、基本セル、アルミニウム配線等のおおよその配置を決定することである。

#### 【0003】

半導体装置には、ロジック領域と呼ばれる領域が存在する。ロジック領域とは、入出力領域及び機能ブロックが配置されている領域を除いた領域のことである。このロジック領域には、複数の基本セル、並びに、基本セル間を接続する配線、基本セルと機能ブロックの間を接続する配線、及び、機能ブロック間を接続する配線が配置される。

上記した従来のフロアプラン装置を用いた半導体装置の設計においては、最初に機能ブロックの配置が行われ、次いでロジック領域への基本セルの配置が行われ、その後電源間を接続する配線、基本セル間を接続する配線、基本セルと機能ブロックの間を接続する配線、及び、機能ブロック間を接続する配線の配置が行われる。

#### 【0004】

ところで、半導体装置の設計においては、ロジック領域の利用率が用いられる場合がある。ロジック領域の利用率は、

【数1】

(ロジック領域の利用率)

$$= \frac{(\text{ロジック領域内に配置されている基本セルの面積の総和})}{(\text{ロジック領域の面積})}$$

・・・ (1)

で表される。従って、ロジック領域の利用率は、ロジック領域内への基本セルの配置が完了した後に確定するものである。

## 【0005】

なお、半導体装置のゲート規模（ゲート総数）が同じであっても、ロジック領域の形状が異なれば、ロジック領域の利用率は異なることが知られている。一方、ロジック領域の形状は、機能ブロックの配置によって変化する。従って、ロジック領域の利用率は、機能ブロックの配置によって変化する事となる。

## 【0006】

設計対象である半導体装置のロジック領域の利用率が所定の値以上である場合には、設計対象である半導体装置のロジック領域内のアルミニウム配線を配置するためのスペースが少なくなる。また、基本セル間の接続が多くなり、基本セル間を接続するためのアルミニウム配線の比率も高くなる。そのため、設計対象である半導体装置のロジック領域内へのアルミニウム配線の配置が困難となる。

従って、半導体装置のフロアプランの段階でロジック領域の利用率が判明すれば、半導体装置の設計時間を短縮することができる。また、半導体装置のフロアプランの段階で配線長の予測値を高い精度で算出することができれば、半導体装置の設計効率を向上させることができる。

## 【0007】

しかしながら、上記したように、ロジック領域の利用率は、ロジック領域内への基本セルの配置が完了した後に確定するものである。そのため、上記した従来のフロアプラン装置においては、設計対象である半導体装置のロジック領域の利用率を考慮することはなかった。

## 【0008】

ところで、日本国特許出願公開（特開）平4-251962号公報（以下、「文献1」ともいう）には、スタンダードセル方式もしくはゲートアレイ方式を用いたビルディングブロック方式によって半導体集積回路装置を設計する際に、半導体集積回路装置が有する各機能を実現するブロックのおおよその配置位置及びこのブロック内に配置すべきセルを初期フロアプランで決定し、この初期フロアプランに基づいてブロックの面積及び形状を予測して表示し、表示されたブロックの形状あるいは配置位置を会話的に修正可能であることを特徴とする半導体集積回路装置の設計方法が掲載されている。



しかしながら、文献 1 に掲載された半導体集積回路装置の設計方法は、ロジック領域の利用率を用いてフロアプランを行うものではない。

## 【 0 0 0 9 】

また、特開平 9 - 2 3 2 4 3 6 号公報（以下、「文献 2」ともいう）には、ハードウェア記述言語で記述された半導体集積回路の仕様を入力とし、ブロック単位でゲートレベルの回路を生成し、仮想配線容量とセルの入力容量との和に基づいてセルの駆動能力が不足するかどうかを判断し、セル駆動能力が不足すると判断した場合にセル間にドライバセルを挿入する論理合成方法であって、該ゲートレベルの回路を生成した後、該判断の前において、フロアプランニングを行って該ブロックの配置を決定し、チップ領域に相当するフロアの辺に平行な線で異なるブロックの重心間を結んだ最短経路の長さを、異なるブロックのセル間の仮想配線長として求め、異なるブロックのセル間の該仮想配線容量を該仮想配線長に基づいて求めることを特徴とする論理合成方法が掲載されている。

しかしながら、文献 2 に掲載された論理合成方法は、回帰式を用いて仮想配線容量を算出するものではなく、ロジック領域の利用率を用いてフロアプランを行うものではない。

## 【 0 0 1 0 】

また、特開平 1 0 - 1 1 6 9 1 5 号公報（以下、「文献 3」ともいう）には、LSI の接続情報を記述するネットリストおよび LSI 設計に用いるセルの情報を格納するセルライブラリから、LSI の配線長を推定する配線長推定方法であって、ネットリストおよびセルライブラリから、推定対象のブロックについて、総ネット数、ファンアウト毎のネット数、並びに各ネットに含まれるセルの種類および面積を含む情報を抽出する情報抽出工程と、情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの基本配線長を配線長推定の基準として決定する基本配線長決定工程と、情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの配線長を、基本配線長決定工程において決定した当該ファンアウトのネットの基本配線長を基準にし、セルの配置ばらつきによるネットの広がりを想定して、推定するネット配線長推定工程とを備え、推定した各ファンアウトのネットの配線長を基にして、推定対象のブロックの総配線長

を推定することを特徴とする配線長推定方法が掲載されている。

しかしながら、文献 3 に掲載された配線長推定方法は、配線長を推定するものではあるが、回帰式を用いて配線長を推定するものではなく、ロジック領域の利用率を用いてフロアプランを行うものではない。

#### 【 0 0 1 1 】

また、特開平 7 - 2 2 5 7 8 2 号公報（以下、「文献 4」ともいう）には、入力された機能記述言語の論理合成結果に対して面積最適化処理を施して論理ネットリストを生成する論理合成装置であって、面積最適化処理が施された論理合成結果における信号線の配線領域を算出する配線領域算出手段と、外部から指定された希望レイアウト領域と配線領域算出手段の算出結果とを基に使用可能なゲート領域を算出するゲート領域算出手段と、ゲート領域算出手段の算出結果と論理合成結果のゲート領域とから論理合成結果に対する面積最適化処理の必要の有無を判断する最適化判断手段とを有することを特徴とする論理合成装置が掲載されている。

しかしながら、文献 4 に掲載された論理合成装置は、設計者の希望するレイアウトサイズへの最適化を行うものではあるが、ロジック領域の利用率を用いてフロアプランを行うものではない。

#### 【 0 0 1 2 】

また、特開平 1 1 - 2 2 4 2 8 0 号公報（以下、「文献 5」ともいう）には、LSI のレイアウト設計のために、LSI の接続情報を記述したネットリスト及び LSI 設計に用いるセルの情報を格納したセルライブラリから、対象 LSI の配線長を推定するための方法であって、ネットリスト及びセルライブラリから抽出した情報に基づき、各ファンアウト数のネットについてセルの平均面積に当該ファンアウト数のネット 1 個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長から決定した各基本配線長を基にして、対象 LSI の初期配線長を推定する工程と、セルライブラリから抽出した情報に基づき対象 LSI の総セル面積を得て、該総セル面積から対象 LSI のレイアウト上の配線可能面積を推定する工程と、初期配線長から対象 LSI のレイアウト上で配線が占める配線面積を求め、配線面積が配線可能面積より大きいときには配線面積と配線可能面

積との差を総セル面積に加えて得た面積を採用することにより、対象 L S I のレイアウト面積を推定する工程と、対象 L S I の総配線長を決定するように、総セル面積からレイアウト面積への増加分に応じて初期配線長を補正する工程とを備えたことを特徴とする配線長推定方法が掲載されている。

しかしながら、文献 5 に掲載された配線長推定方法は、配線長を推定するものではあるが、回帰式を用いて配線長を推定するものではなく、ロジック領域の利用率を用いてフロアプランを行うものではない。

#### 【 0 0 1 3 】

##### 【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、設計対象である半導体装置の配線長の予測値及びロジック領域の利用率の予測値を算出し、これらの配線長の予測値及びロジック領域の利用率の予測値を用いて半導体装置の設計を行うことができる半導体装置の設計方法を提供することを第 1 の目的とする。また、本発明はそのような半導体装置の設計方法によって設計された半導体装置を提供することを第 2 の目的とする。また、本発明は、そのような半導体装置の設計方法を用いた半導体装置の設計装置を提供することを第 3 の目的とする。また、本発明は、半導体装置の設計を行うためのプログラムを提供することを第 4 の目的とする。

#### 【 0 0 1 4 】

##### 【課題を解決するための手段】

以上の課題を解決するため、本発明に係る半導体装置の設計方法は、半導体装置の設計を行うための方法であって、設計対象である半導体装置のネットリストを受信するステップ（a）と、設計対象である半導体装置のレイアウト領域内に複数の機能ブロックを仮配置するステップ（b）と、設計対象である半導体装置のロジック領域を複数の矩形領域に分割するステップ（c）と、過去に設計された半導体装置及び設計対象である半導体装置に関するデータベース並びに設計対象である半導体装置のネットリストに基づいて、設計対象である半導体装置の配線長の予測値及びロジック領域の利用率の予測値を算出するステップ（d）と、設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たさない場合に、ステップ（b）～ステップ（d）を繰り返すステップ（e）と、

設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たす場合に、複数の機能ブロック、基本セル、及び、配線を設計対象である半導体装置のロジック領域内に配置するためのフロアプラン情報を出力するステップ（f）と、設計対象である半導体装置の配線長の予測値を出力するステップ（g）とを具備する。

## 【0015】

また、上記した課題を解決するため、本発明に係る半導体装置は、本発明に係る半導体装置の設計方法によって設計されたことを特徴とする。

## 【0016】

また、上記した課題を解決するため、本発明に係る半導体装置の設計装置は、半導体装置の設計を行うための装置であって、設計対象である半導体装置のネットリスト及び設計対象である半導体装置内に配置すべき複数の機能ブロックの配置位置を指定する情報を入力するための入力手段と、設計対象である半導体装置のネットリストを記録する第1の記録手段と、過去に設計された半導体装置及び設計対象である半導体装置に関するデータベースを記録する第2の記録手段と、過去に設計された半導体装置内に配置された基本セル及び設計対象である半導体装置のロジック領域内に配置される可能性のある基本セルに関する情報を記録する第3の記録手段と、配置位置を指定する情報に応じて、設計対象である半導体装置のレイアウト領域内に複数の機能ブロックを仮配置する機能ブロック仮配置手段と、設計対象である半導体装置のロジック領域を複数の矩形領域に分割するロジック領域分割手段と、データベース及び設計対象である半導体装置のネットリストに基づいて、設計対象である半導体装置の配線長の予測値及びロジック領域の利用率の予測値を算出するロジック領域利用率予測値算出手段と、設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たすか否かを判断し、設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たさない場合に、設計対象である半導体装置内に配置すべき複数の機能ブロックの新たな配置位置を指定する情報を入力するようにユーザを促すロジック領域利用率予測値判断手段と、設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たす場合に、複数の機能ブロック、基本セル、及

び、配線を設計対象である半導体装置のロジック領域内に配置するためのフロアプラン情報又はロジック領域の利用率予測値を出力し、若しくは、複数の機能ブロック、基本セル、及び、配線の配置を行うフロアプラン情報出力手段と、設計対象である半導体装置の配線長の予測値を出力する配線長予測値出力手段と、機能ブロック仮配置手段によって複数の機能ブロックの仮配置が行われた設計対象である半導体装置のレイアウト、設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たさない場合に、設計対象である半導体装置内に配置すべき複数の機能ブロックの新たな配置位置を指定する情報を入力するようにユーザを促す画像、又は、フロアプラン情報出力手段によって複数の基本セル及び配線の配置が行われた設計対象である半導体装置のレイアウトを表示するための表示手段とを具備する。

## 【 0 0 1 7 】

また、上記した課題を解決するため、本発明に係る半導体装置の設計プログラムは、半導体装置の設計を行うためのプログラムであって、設計対象である半導体装置のネットリストを受信する手順（a）と、設計対象である半導体装置のレイアウト領域内に複数の機能ブロックを仮配置する手順（b）と、設計対象である半導体装置のロジック領域を複数の矩形領域に分割する手順（c）と、過去に設計された半導体装置及び設計対象である半導体装置に関するデータベース並びに設計対象である半導体装置のネットリストに基づいて、設計対象である半導体装置の配線長の予測値及びロジック領域の利用率の予測値を算出する手順（d）と、設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たさない場合に、手順（b）～手順（d）を繰り返す手順（e）と、設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たす場合に、複数の基本セル及び配線を設計対象である半導体装置のロジック領域内に配置するためのフロアプラン情報を出力する手順（f）と、設計対象である半導体装置の配線長の予測値を出力する手順（g）とをCPUに実行させる。

## 【 0 0 1 8 】

以上の構成によれば、半導体装置の設計時間を短縮することができる。

## 【 0 0 1 9 】

## 【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。なお、同一の構成要素については、同一の参照番号で示している。

図 1 に、本発明の一実施形態に係る半導体装置のフロアプランを行うための装置を示す。図 1 において、この装置 1 は、入力部 2 と、表示部 3 と、第 1 ネットリスト記録部 4 と、機能ブロック仮配置部 5 と、ロジック領域分割部 6 と、ロジック領域利用率予測値算出部 7 と、ロジック領域利用率予測値判断部 8 と、フロアプラン情報出力部 9 と、第 2 ネットリスト記録部 11 と、基本セル情報記録部 12 と、データベース作成部 13 と、データベース記録部 14 と、配線長予測値出力部 21 とを具備する。

## 【0020】

入力部 2 は、設計対象である半導体装置のネットリストの入力、設計対象である半導体装置に内蔵されるべき機能ブロックの仮配置の指示等を行うためのキーボード、マウス等である。

表示部 3 は、文字、画像等を表示するための C R T、L C D 等である。

## 【0021】

第 1 ネットリスト記録部 4 は、設計対象である半導体装置のネットリストを入力部 2 から受け取って記録する。

機能ブロック仮配置部 5 は、ユーザの配置指示に応じて、設計対象である半導体装置に内蔵されるべき機能ブロックの仮配置を行う。

## 【0022】

ロジック領域分割部 6 は、設計対象である半導体装置のロジック領域の形状が矩形でない場合に、ロジック領域を複数の矩形領域に分割する。図 2 及び図 3 は、ロジック領域分割部 6 が行うロジック領域の分割の一例を示す図である。図 2 に示すように、半導体装置 50 の周辺部には、入出力バッファ、入出力パッド等を配置するための環状の入出力領域 51 が存在しており、この入出力領域 51 に囲まれた場所に、4 つの機能ブロック 52 ～ 55 が仮配置されている。この半導体装置 50 のロジック領域 56 は、十字状の形状を有している。この場合、ロジック領域分割部 6 は、図 3 に示すように、ロジック領域 56 を、5 つの矩形領域

5 7 ~ 6 1 に分割する。これらの矩形領域 5 7 ~ 6 1 内には、後に、複数の基本セル及び複数のアルミニウム配線が配置される。

#### 【 0 0 2 3 】

再び図 1 を参照すると、第 2 ネットリスト記録部 1 1 は、過去に設計された半導体装置のネットリストを記録する。

基本セル情報記録部 1 2 は、過去に設計された半導体装置のロジック領域内に配置された基本セルに関するデータ、及び設計対象である半導体装置のロジック領域に配置される可能性のある基本セルに関するデータを記録する。

#### 【 0 0 2 4 】

データベース作成部 1 3 は、過去に設計された半導体装置のネットリスト、過去に設計された半導体装置のロジック領域内に配置された基本セルに関するデータ、及び、設計対象である半導体装置のロジック領域に配置される可能性のある基本セルに関するデータを用いて、データベースを作成する。データベース作成部 1 3 が作成するデータベースは、( i ) 過去に設計された半導体装置のロジック領域内に配置された基本セルに関する情報、( i i ) 過去に設計された半導体装置のネットリストに関する情報、( i i i ) 過去に設計された半導体装置の配線長に関する情報、( i v ) 過去に設計された半導体装置のロジック領域の利用率に関する情報、( v ) 設計対象である半導体装置のロジック領域に配置される可能性のある基本セルに関する情報を含む。

上記した ( i ) 過去に設計された半導体装置のロジック領域内に配置された基本セルに関する情報は、( ア ) 基本セル 1 個当たりのピン数の割合、( イ ) 基本セル 1 個当たりのネット数の割合、( ウ ) 基本セルの種類に関する情報 ( 例えば、フリップフロップが多い、複合ゲートが多い、アルミニウム配線層の上位配線の量、空グリッドの量等 ) を含む。

#### 【 0 0 2 5 】

上記した ( i i ) 過去に設計された半導体装置のネットリストに関する情報は、( エ ) ゲート規模 ( ゲート総数 ) 、ネット本数、使用している基本セル数、( オ ) 全てのネットを接続されているピン数 ( 以下、「接続ピン数」という ) の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットか

ら累計していった場合に、累計したネット数の全ネット数に対する比率が所定の値（例えば、90%、80%、70%等）を超えることとなる接続ピン数、（カ）接続ピン数が「2」であるネット数の全ネット数に対する割合、（キ）横軸方向に接続ピン数を、縦軸方向に、全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合における、累計したネット数の全ネット数に対する比率を配したグラフにおいて、接続ピン数が「2」の点と、接続ピン数の少ないネットから累計していった場合に累計したネット数の全ネット数に対する比率が所定の値を超えることとなる接続ピン数の点を結ぶ直線の傾き、（ク）ネット1本当当たりの接続ピン数の割合を含む。

ここで、ネットの接続ピン数について、図4～図6を参照しながら説明する。図4に示すように、基本セル62の出力ピン及び基本セル63の入力ピンの2個のピンに接続されたネット64の接続ピン数は、「2」となる。また、図5に示すように、基本セル65の出力ピン並びに基本セル66及び67の入力ピンの3個のピンに接続されたネット68の接続ピン数は、「3」となる。さらに、図6に示すように、基本セル69の出力ピン及び基本セル70～72の入力ピンの4個のピンに接続されたネット73の接続ピン数は、「4」となる。このように、 $n$ 個（ $n$ は、2以上の整数）のピンに接続されたネットの接続ピン数は、「 $n$ 」となる。

#### 【0026】

次に、上記した（オ）全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合に、累積したネット数の全ネット数に対する比率が所定の値を超えることとなる接続ピン数について、図7を参照しながら説明する。図7は、横軸方向に接続ピン数を、縦軸方向に、全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合における、累計したネット数の全ネット数に対する比率を配したグラフの一例である。

#### 【0027】

図7に示すように、接続ピン数が「2」であるネット数の全ネット数に対する



比率は63%程度である。また、接続ピン数が「2」又は「3」であるネット数の全ネット数に対する比率は79%程度である。また、接続ピン数が「2」、「3」、又は、「4」であるネット数の全ネット数に対する比率は88%程度である。また、接続ピン数が「2」、「3」、「4」、又は、「5」であるネット数の全ネット数に対する比率は92%程度である。

図7に示すグラフにおいて、全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合に、累計したネット数の全ネット数に対する比率が所定の値（ここでは、90%とする）を超えることとなる接続ピン数は、「5」となる。

【0028】

次に、上記した（キ）横軸方向に接続ピン数を、縦軸方向に、全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合における、累計したネット数の全ネット数に対する比率を配したグラフにおいて、接続ピン数が「2」の点と、接続ピン数の少ないネットから累計していった場合に、累計したネット数の全ネット数に対する比率が所定の値を超えることとなる接続ピン数の点を結ぶ直線の傾きについて、図7を参照しながら説明する。

図7において、接続ピン数の少ないネットから累計していった場合に、累計したネット数の全ネット数に対する比率が所定の値（ここでは、90%とする）を超えることとなる接続ピン数は、「5」である。図7において、上記した（キ）横軸方向に接続ピン数を、縦軸方向に、全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合における、累計したネット数の全ネット数に対する比率を配したグラフにおいて、接続ピン数が「2」の点と、接続ピン数の少ないネットから累計していった場合に、累計したネット数の全ネット数に対する比率が所定の値を超えることとなる接続ピン数の点を結ぶ直線の傾きは、接続ピン数が「2」の点と、接続ピン数が「5」の点を結ぶ太い点線の傾きとなる。なお、接続ピン数が「2」の点と接続ピン数が「5」の点を結ぶ太い点線の傾きを用いるのではなく、接続ピン数が「2」の点、接続ピン数が「3」の点、接続ピン数が「4」の点、

又は、接続ピン数が「5」の点による近似直線の傾きを用いることとしても良い。

#### 【0029】

また、上記した(i i i)過去に設計された半導体装置の配線長に関する情報は、(ケ)使用可能な配線層の層数のそれぞれに対する全ネットの配線長の平均値、(コ)横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値を配したグラフの傾き、(サ)接続ピン数が「2」であるネットの配線長の平均値を含む。

#### 【0030】

次に、上記した(コ)横軸方向に接続ピン数を、縦軸方向に、全ネットを接続ピン数で分類し、接続ピン数毎に算出したネットの配線長の平均値を配したグラフの傾きについて、図8を参照しながら説明する。図8は、横軸方向に接続ピン数を、縦軸方向に、全ネットを接続ピン数で分類し、接続ピン数毎に算出したネットの配線長の平均値を配したグラフの一例を示す図である。なお、傾きの精度を向上させるために、全ネット数の90%を占める接続ピン数までの傾きを求める例とする。この図8のグラフの対象である半導体装置が、接続ピン数が「2」～「7」のネット数が全ネット数の90%を占める半導体装置である場合、接続ピン数が「2」の点から接続ピン数が「7」の点までの傾きを用いる。

#### 【0031】

なお、接続ピン数毎のネットの配線長の平均値は、接続ピン数毎の全ネットの配線長の平均値としても良いが、接続ピン数毎に定められた所定の配線長以下の配線長を有するネットのみを抽出し、これらの平均値としても良い。また、接続ピン数毎に、配線長の短いネットから配線長の長いネットに整列し、配線長の短いネットから累計していった場合に、累計したネット数の当該接続ピン数の全ネット数に対する比率が所定の値(例えば、90%、80%、70%等)を超えることとなるネットの平均値を用いることとしても良い。

これは、配線長の長いネットによる影響を少なくして、設計対象である半導体装置のロジック領域の利用率の予測値の精度を向上させるためである。

#### 【0032】

同様に、上記した（サ）接続ピン数が「2」であるネットの配線長の平均値は、接続ピン数が「2」であるネットの内の所定の配線長以下の配線長を有するネットのみを抽出し、これらの平均値としても良い。また、接続ピン数が「2」であるネットを配線長の短いネットから配線長の長いネットに整列し、配線長の短いネットから累計していった場合に、累計したネット数の、接続ピン数が「2」の全ネット数に対する比率が所定の値（例えば、90%、80%、70%等）を超えることとなるネットの平均値を用いることとしても良い。

## 【0033】

また、上記した（iv）過去に設計された半導体装置のロジック領域の利用率に関する情報は、（シ）所定のアルミニウム配線層の層数であり且つロジック領域の形状が正方形である場合の利用率の最大値を含む。

## 【0034】

再び図1を参照すると、データベース記録部14は、データベース作成部13によって作成されたデータベースを記録する。

ロジック領域利用率予測値算出部7は、データベース記録部14に記録されているデータベース、及び、設計対象である半導体装置のネットリストを用いて、設計対象である半導体装置の配線長の予測値及びロジック領域の利用率の予測値を算出する。ロジック領域の利用率は、半導体装置の設計が完了した後に確定するものであるが、ロジック領域利用率予測値算出部7は、設計対象である半導体装置に内蔵されるべき機能ブロックが仮配置された時点で、設計対象である半導体装置のロジック領域の利用率の予測値を算出する。

## 【0035】

図9は、ロジック領域利用率予測値算出部7の内部構成を示す図である。図9に示すように、ロジック領域利用率予測値算出部7は、配線長平均予測値等算出式作成部15と、配線長平均予測値等算出部16と、第1補正部17と、利用率予測値算出式作成部18と、利用率予測値算出部19と、第2補正部20とを具備する。

## 【0036】

配線長平均予測値等算出式作成部15は、データベース記録部14に記録され

ているデータベースを参照し、（ス）使用可能な全ての配線層の層数に対し、設計対象である半導体装置の全ネットの配線長の平均値の予測値を算出するための式、（セ）使用可能な全ての配線層の層数に対し、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾きを算出するための式、（ソ）使用可能な全ての配線層数に対し、設計対象である半導体装置の接続ピン数が「2」であるネットの配線長の平均値の予測値を算出するための式を作成する。配線長平均予測値等算出式作成部 1 5 は、例えば、回帰分析により、上記（ス）～（ソ）の式を作成する。

## 【 0 0 3 7 】

配線長平均予測値等算出部 1 6 は、第 1 ネットリスト記録部 4（図 1 参照）に記録されている設計対象である半導体装置のネットリスト及び配線長平均予測値等算出式作成部 1 5 によって作成された上記（ス）～（ソ）の式を用いて、（タ）使用可能な全ての配線層数に対する、設計対象である半導体装置の全ネットの配線長の平均値の予測値、（チ）使用可能な全ての配線層数に対する、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、（ツ）使用可能な全ての配線層数に対する、接続ピン数が「2」であるネットの配線長の平均値の予測値を算出する。

第 1 補正部 1 7 は、配線長平均予測値等算出部 1 6 によって算出された上記（タ）～（ツ）の値の補正を行う。ロジック領域はロジック領域分割部 6（図 1 参照）によって複数の矩形領域に分割されるが、分割によって生ずる矩形領域には、正方形に近い形状のもの（例えば、図 3 の矩形領域 5 9）もあれば、非常に細長い長方形の形状のもの（例えば、図 3 の矩形領域 5 7、5 8、6 0、6 1）もある。第 1 補正部 1 7 は、このような矩形領域の形状に応じて、上記（タ）～（ツ）の値の補正を行う。このようにして補正された上記（タ）～（ツ）の値の内の上記（タ）使用可能な全ての配線層数に対する、設計対象である半導体装置の全ネットの配線長の平均値の予測値（補正後の値）は、配線長予測値出力部 2 1（図 1 参照）に出力される。

## 【 0 0 3 8 】

利用率予測値算出式作成部 1 8 は、データベース記録部 1 4 に記録されているデータベースを参照するとともに、配線長平均予測値等算出部 1 6 によって算出された上記 (タ) ~ (ツ) の値を用いて、設計対象である半導体装置のロジック領域の利用率の予測値を算出するための式を作成する。利用率予測値算出式作成部 1 8 は、例えば、回帰分析により、設計対象である半導体装置のロジック領域の利用率の予測値を算出するための式を作成する。

利用率予測値算出部 1 9 は、第 1 ネットリスト記録部 4 (図 1 参照) に記録されている設計対象である半導体装置のネットリスト及び利用率予測値算出式作成部 1 8 によって作成された設計対象である半導体装置のロジック領域の利用率の予測値を算出するための式を用いて、設計対象である半導体装置のロジック領域の利用率の予測値を算出する。

#### 【 0 0 3 9 】

第 2 補正部 2 0 は、利用率予測値算出部 1 9 によって算出された設計対象である半導体装置のロジック領域の利用率の予測値の補正を行う。ロジック領域はロジック領域分割部 6 (図 1 参照) によって複数の矩形領域に分割されるが、分割によって生ずる矩形領域には、正方形に近い形状のもの (例えば、図 3 の矩形領域 5 9) もあれば、非常に細長い長方形の形状のもの (例えば、図 3 の矩形領域 5 7、5 8、6 0、6 1) もある。第 2 補正部 2 0 は、このような矩形領域の形状に応じて、設計対象である半導体装置のロジック領域の利用率の予測値の補正を行う。

#### 【 0 0 4 0 】

再び図 1 を参照すると、ロジック領域利用率予測値判断部 8 は、ロジック領域利用率予測値算出部 7 によって算出された、設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たしているか否かを判断する。

フロアプラン情報出力部 9 は、ロジック領域利用率予測値判断部 8 が設計対象である半導体装置のロジック領域の利用率の予測値が所定の条件を満たしていると判断した場合に、複数の機能ブロック及び基本セルを設計対象である半導体装置のロジック領域内に配置し、さらに、基本セルと基本セルを接続する配線、基本セルと機能ブロックを接続する配線、及び、機能ブロックと機能ブロックを接

続する配線をロジック領域内に配置するためのフロアプラン情報を出力し、又は複数の機能ブロック、基本セル、及び、配線の配置を行う。

配線長予測値出力部 2 1 は、設計対象である半導体装置の配線長の予測値をロジック領域利用率予測値算出部 7 から受け取って、外部に出力する。

#### 【 0 0 4 1 】

図 1 に示す第 1 ネットリスト記録部 4、第 2 ネットリスト記録部 1 1、基本セル情報記録部 1 2、及び、データベース記録部 1 4 としては、ハードディスク、フレキシブルディスク、MO、MT、RAM、CD-ROM、DVD-ROM 等が該当する。また、図 1 に示す機能ブロック仮配置部 5、ロジック領域分割部 6、ロジック領域利用率予測値算出部 7、ロジック領域利用率予測値判断部 8、フロアプラン情報出力部 9、及び、データベース作成部 1 3、並びに、図 9 に示す配線長平均予測値等算出式作成部 1 5、配線長平均予測値等算出部 1 6、第 1 補正部 1 7、利用率予測値算出式作成部 1 8、利用率予測値算出部 1 9、及び、第 2 補正部 2 0 は、CPU とソフトウェア（プログラム）で構成することができる。このプログラムは、ハードディスク、フレキシブルディスク、MO、MT、RAM、CD-ROM、又は、DVD-ROM 等の記録媒体に記録することができる。

#### 【 0 0 4 2 】

次に、半導体装置のフロアプランを行うための装置 1 の動作について、図 1、図 9 ～図 1 1 を参照しながら説明する。図 1 0 及び図 1 1 は、半導体装置のフロアプランを行うための装置の動作を示すフローチャートである。

まず、ロジック領域利用率予測値算出部 7 のデータベース作成部 1 3 が、第 2 ネットリスト記録部 1 1 に記録されている過去に設計された半導体装置のネットリスト、並びに、基本セル情報記録部 1 2 に記録されている過去に設計された半導体装置のロジック領域内に配置された基本セルに関するデータ及び設計対象である半導体装置のロジック領域に配置される可能性のある基本セルに関するデータを用いて、データベースを作成する（ステップ S 1 1）。先に説明したように、ロジック領域利用率予測値算出部 7 のデータベース作成部 1 3 によって作成されるデータベースは、（i）過去に設計された半導体装置のロジック領域内に配

置された基本セルに関する情報、(i i) 過去に設計された半導体装置のネットリストに関する情報、(i i i) 過去に設計された半導体装置の配線長に関する情報、(i v) 過去に設計された半導体装置のロジック領域の利用率に関する情報、(v) 設計対象である半導体装置のロジック領域に配置される可能性のある基本セルに関する情報を含む。データベース記録部 1 4 は、データベース作成部 1 3 によって作成されたデータベースを記録する。

#### 【 0 0 4 3 】

次に、ユーザが、設計対象である半導体装置のネットリストを入力部 2 から入力し、第 1 ネットリスト記録部 4 が、入力されたネットリストを受信して記録する(ステップ S 1 2)。なお、第 1 ネットリスト記録部 4 が、入力部 2 から入力されたネットリストを受信するのではなく、他の CAD 装置、CAD ソフトウェア等が出力するネットリストを受信して記録することとしても良い。

さらに、ユーザが、機能ブロックを仮配置しようとする位置を特定する情報を入力部 2 から入力し、機能ブロック仮配置部 5 が、ユーザから指示された位置に、機能ブロックを仮配置する(ステップ S 1 3)。機能ブロック仮配置部 5 は、機能ブロックが仮配置された半導体装置のレイアウトを表示部 3 に表示させ、ユーザは、表示部 3 に表示された半導体装置のレイアウトを見ながら、機能ブロックの配置の変更を指示することができる。

次に、ロジック領域分割部 6 が、ロジック領域を複数の矩形領域に分割する(ステップ S 1 4)。

#### 【 0 0 4 4 】

次に、ロジック領域利用率予測値算出部 7 が、ロジック領域の利用率の予測値を算出する(ステップ S 1 5)。図 1 1 は、図 1 0 のステップ S 1 5 の内容を示すフローチャートである。

図 1 1 の処理を開始すると、ロジック領域利用率予測値算出部 7 の配線長平均予測値等算出式作成部 1 5 が、データベース記録部 1 4 に記録されているデータベースを参照して、(ス) 使用可能な全ての配線層の層数に対し、設計対象である半導体装置の全ネットの配線長の平均値の予測値を算出するための式、(セ) 使用可能な全ての配線層の層数に対し、横軸方向に接続ピン数を、縦軸方向に、

各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾きを算出するための式、(ソ) 使用可能な全ての配線層の層数に対し、接続ピン数が「2」であるネットの配線長の平均値の予測値を算出するための式を作成する(ステップ S 2 1)。本実施形態においては、配線長平均予測値等算出式作成部 1 5 は、回帰分析により、上記(ス)～(ソ)の式を作成するものとする。

【0 0 4 5】

配線長平均予測値等算出式作成部 1 5 は、使用可能な全ての配線層の層数に対し、設計対象である半導体装置の全ネットの配線長の平均値の予測値(ここでは、Y 1 とする)を算出するための式として、例えば、

【数 2】

$$Y1 = a_1 + b_1 \cdot A + c_1 \cdot B + d_1 \cdot C + e_1 \cdot D + f_1 \cdot E + g_1 \cdot F \\ + h_1 \cdot G + i_1 \cdot H$$

・・・ (2)

を作成する。ここで、

- A : 設計対象である半導体装置のゲート規模(ゲート総数)の情報に基づく変数
- B : 設計対象である半導体装置のロジック領域内に配置される基本セルの大きさとピン数の関係を示す情報に基づく変数
- C : 設計対象である半導体装置の全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合に、累計したネット数の全ネット数に対する比率が所定の値を超えることとなる接続ピン数(変数)
- D : 1 本のネットが接続されるピン数の割合を示す情報に基づく変数
- E : 設計対象であるネットに対する、接続ピン数が「2」であるネットの比率(変数)
- F : 横軸方向に接続ピン数を、縦軸方向に、設計対象である半導体装置の予測対象の全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合におけ



る、累計したネット数の全ネット数に対する比率を配したグラフにおいて、接続ピン数が「2」の点と、接続ピン数の少ないネットから累計していった場合に、累計したネット数の全ネット数に対する比率が所定の値を超えることとなる接続ピン数の点を結ぶ直線の傾き（変数）

G：設計対象であるネットに関し、ネット数とピン数の関係を示す情報に基づく変数

H：設計対象である半導体装置のロジック領域内に配置される基本セルの大きさとネット数の関係を示す情報に基づく変数

である。また、 $a_1$ 、 $b_1$ 、 $c_1$ 、 $d_1$ 、 $e_1$ 、 $f_1$ 、 $g_1$ 、 $h_1$ 、及び、 $i_1$ は、例えば、回帰分析によって求められる係数である。

【0046】

また、配線長平均予測値等算出式作成部15は、所定の配線層における、設計対象である半導体装置の全ネットに関し、横軸方向に接続ピン数を、縦軸方向に、各接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き（ここでは、Y5とする）を算出するための式として、例えば、

【数3】

$$Y5 = a_2 + b_2 \cdot B + c_2 \cdot C + d_2 \cdot D + e_2 \cdot E + f_2 \cdot F + g_2 \cdot G + h_2 \cdot H + i_2 \times Y1$$

・・・ (3)

を作成する。ここで、 $a_2$ 、 $b_2$ 、 $c_2$ 、 $d_2$ 、 $e_2$ 、 $f_2$ 、 $g_2$ 、 $h_2$ 、及び、 $i_2$ は、例えば、回帰分析によって求められる係数である。

【0047】

さらに、配線長平均予測値等算出式作成部15は、所定の配線層における、設計対象である半導体装置の接続ピン数が「2」であるネットの配線長の平均値の予測値（ここでは、Y7とする）を算出するための式として、例えば、

【数 4】

$$Y7 = a_3 + b_3 \cdot B + c_3 \cdot C + d_3 \cdot E + e_3 \cdot F + f_3 \cdot G + g_3 \cdot Y1 \\ + h_3 \cdot Y5 + i_3 \cdot J1$$

・・・ (4)

を作成する。ここで、

J1：アルミニウム配線層の層数に応じた変数

である。また、 $a_3$ 、 $b_3$ 、 $c_3$ 、 $d_3$ 、 $e_3$ 、 $f_3$ 、 $g_3$ 、 $h_3$ 、及び、 $i_3$ は、例えば、回帰分析によって求められる係数である。

【0048】

次に、ロジック領域利用率予測値算出部7の配線長平均予測値等算出部16が、第1ネットリスト記録部4（図1参照）に記録されている設計対象である半導体装置のネットリスト及び式（2）～式（4）を用いて、（タ）所定の配線層における、設計対象である半導体装置の全ネットの配線長の平均値の予測値（チ）横軸方向に接続ピン数を、縦軸方向に、接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、（ツ）接続ピン数が「2」であるネットの配線長の平均値の予測値を算出する（ステップS22）。

次に、ロジック領域利用率予測値算出部7の第1補正部17が、設計対象である半導体装置の矩形領域の形状に応じて、配線長平均予測値等算出部16によって算出された（タ）所定の配線層における、設計対象である半導体装置の全ネットの配線長の平均値の予測値、（チ）横軸方向に接続ピン数を、縦軸方向に、接続ピン数毎のネットの配線長の平均値の予測値を配したグラフの傾き、（ツ）接続ピン数が「2」であるネットの配線長の平均値の予測値を補正する（ステップS23）。

【0049】

次に、ロジック領域利用率予測値算出部7の利用率予測値算出式作成部18が、データベース記録部14に記録されているデータベースを参照するとともに、配線長平均予測値等算出部16によって算出された上記（タ）～（ツ）の値を用いて、設計対象である半導体装置のロジック領域の利用率の予測値を算出するた

めの式を作成する（ステップ S 2 4）。本実施形態においては、利用率予測値算出式作成部 1 8 は、回帰分析により、設計対象である半導体装置のロジック領域の利用率の予測値を算出するための式を作成するものとする。

【0 0 5 0】

利用率予測値算出式作成部 1 8 は、所定の配線層における、設計対象である半導体装置のロジック領域の利用率の予測値（ここでは、Y 3 とする）を算出するための式として、例えば、

【数 5】

$$Y3 = a_4 + b_4 \cdot A + c_4 \cdot B + d_4 \cdot C + e_4 \cdot D + f_4 \cdot E + g_4 \cdot F \\ + h_4 \cdot G + i_4 \cdot H + j_4 \cdot Y1 + k_4 \cdot Y5 + l_4 \cdot Y7$$

... (5)

を作成する。ここで、 $a_4$ 、 $b_4$ 、 $c_4$ 、 $d_4$ 、 $e_4$ 、 $f_4$ 、 $g_4$ 、 $h_4$ 、 $i_4$ 、 $j_4$ 、 $k_4$ 、及び、 $l_4$  は、例えば、回帰分析によって求められる係数である。

【0 0 5 1】

次に、ロジック領域利用率予測値算出部 7 の利用率予測値算出部 1 9 が、第 1 ネットリスト記録部 4（図 1 参照）に記録されている設計対象である半導体装置のネットリスト並びに式（5）を用いて、設計対象である半導体装置のロジック領域の利用率の予測値を算出する（ステップ S 2 5）。

次に、ロジック領域利用率予測値算出部 7 の第 2 補正部 2 0 が、設計対象である半導体装置の矩形領域の形状に応じて、利用率予測値算出部 1 9 によって算出された設計対象である半導体装置のロジック領域の利用率の予測値の補正を行う（ステップ S 2 6）。このようにして補正された、設計対象である半導体装置のロジック領域の利用率の予測値は、ロジック領域利用率予測値判断部 8（図 1 参照）に出力される。

【0 0 5 2】

再び図 1 0 を参照すると、ロジック領域利用率予測値判断部 8 が、設計対象である半導体装置のロジック領域の利用率の予測値（補正後の値）が所定の値以下であるか否かをチェックする。そして、ロジック領域利用率予測値判断部 8 は、

設計対象である半導体装置のロジック領域の利用率の予測値が所定の値以下でないとは判断した場合には処理をステップ S 1 3 に戻し、そうでない場合には処理をステップ S 1 7 に移す（ステップ S 1 6）。

## 【 0 0 5 3 】

ロジック領域利用率予測値判断部 8 が、設計対象である半導体装置のロジック領域の利用率の予測値（補正後の値）が所定の値以下でないとは判断した場合（ステップ S 1 6）、機能ブロック仮配置部 5 が、ユーザ（半導体装置の設計者）に対し機能ブロックの仮配置を行うように促すメッセージを表示部 3 に表示させる（ステップ S 1 3）。

このように、設計対象である半導体装置のロジック領域の利用率の予測値（補正後の値）が所定の値以下でない場合に処理をステップ S 1 3 に戻し、機能ブロックの仮配置を再度行うこととする理由は、設計対象である半導体装置のロジック領域の利用率の予測値が所定の値以上の場合には、設計対象である半導体装置のロジック領域内のアルミニウム配線を配置するためのスペースが少ないこととなり、アルミニウム配線の配置が困難となるためである。

## 【 0 0 5 4 】

一方、ロジック領域利用率予測値判断部 8 が、設計対象である半導体装置のロジック領域の利用率の予測値（補正後の値）が所定の値以下であると判断した場合（ステップ S 1 6）、フロアプラン情報出力部 9 が、基本セル、並びに、基本セルと基本セルを接続する配線、基本セルと機能ブロックを接続する配線、及び、機能ブロックと機能ブロックを接続する配線を、設計対象である半導体装置のロジック領域内に配置し、又は、配置のためのフロアプラン情報を出力する（ステップ S 1 7）。

## 【 0 0 5 5 】

以上説明したように、半導体装置のフロアプランを行うための装置 1 によれば、過去に設計された半導体装置のネットリスト及び過去に設計された半導体装置のロジック領域内に配置された基本セルに関するデータに基づいてデータベースを作成し、このデータベースに基づいて設計対象である半導体装置のロジック領域の利用率の予測値を算出し、設計対象である半導体装置のロジック領域の利用

率の予測値が所定の値以下でない場合に、機能ブロックの仮配置を再度行い、設計対象である半導体装置のロジック領域の利用率の予測値が所定の値以下である場合に、基本セル及び配線を設計対象である半導体装置のロジック領域内に配置する。そのため、半導体装置の設計効率を向上させることができ、半導体装置の設計時間を短縮することができる。

【 0 0 5 6 】

【発明の効果】

以上述べた様に、本発明によれば、半導体装置の設計時間を短縮することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る半導体装置のフロアプランを行うための装置を示す図である。

【図 2】

フロアプランが行われた半導体装置の一例を示す図である。

【図 3】

図 1 のロジック領域を複数の矩形領域に分割した様子を示す図である。

【図 4】

2 個のピンに接続されたネットの一例を示す図である。

【図 5】

3 個のピンに接続されたネットの一例を示す図である。

【図 6】

4 個のピンに接続されたネットの一例を示す図である。

【図 7】

横軸方向に接続ピン数を、縦軸方向に、全てのネットを接続ピン数の少ないネットから接続ピン数の多いネットに整列し、接続ピン数の少ないネットから累計していった場合における、累計したネット数の全ネット数に対する比率を配したグラフの一例を示す図である。

【図 8】

横軸方向に接続ピン数を、縦軸方向に、全ネットを接続ピン数で分類し、接続ピン数毎に算出したネットの配線長の平均値を配したグラフの一例を示す図である。

【図 9】

図 1 のロジック領域利用率予測値算出部の内部構成を示す図である。

【図 1 0】

本発明の一実施形態に係る半導体装置のフロアプランを行うための装置の動作を示すフローチャートである。

【図 1 1】

本発明の一実施形態に係る半導体装置のフロアプランを行うための装置の動作を示すフローチャートである。

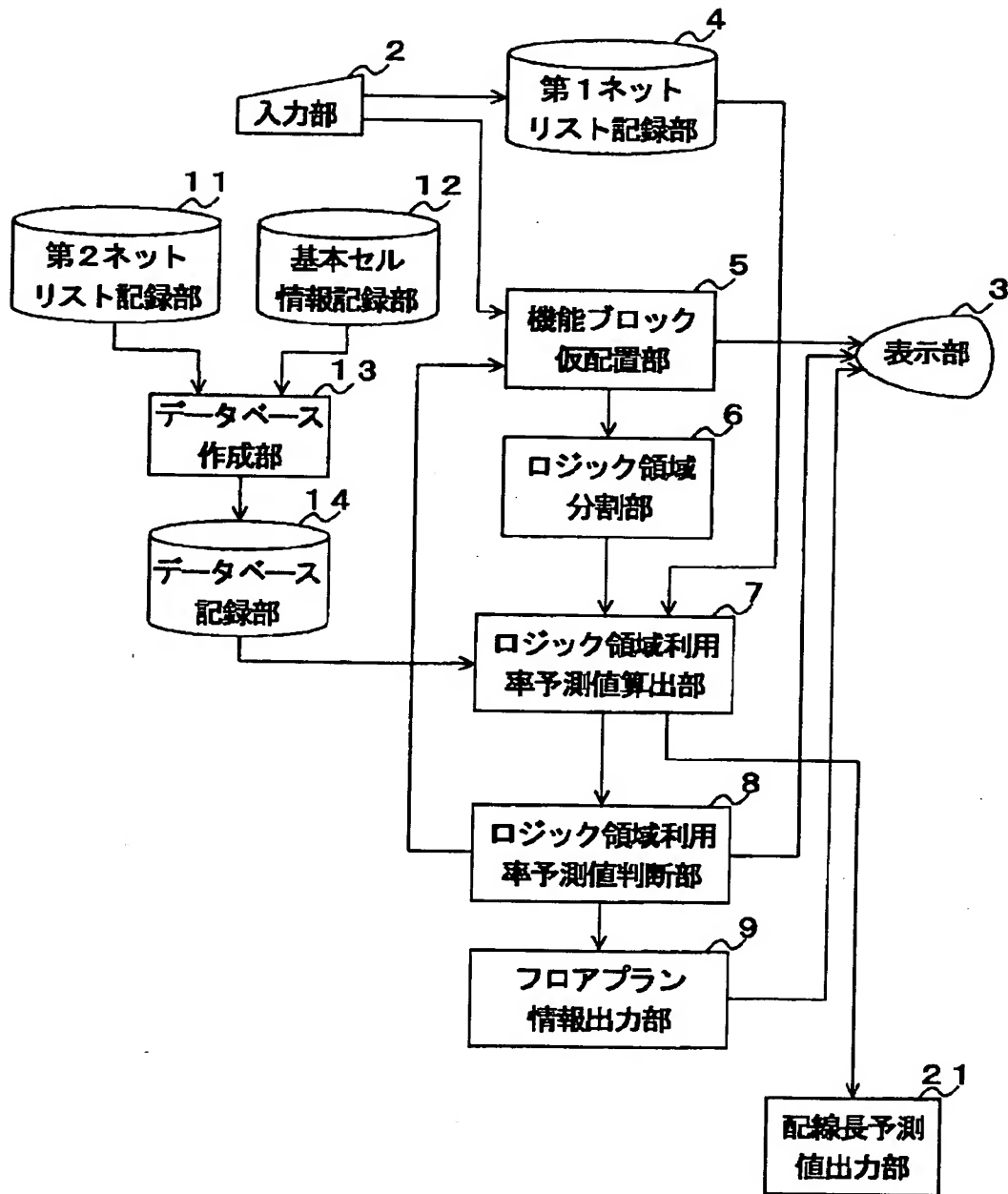
【符号の説明】

- 1 半導体装置のフロアプランを行うための装置
- 2 入力部
- 3 表示部
- 4 第 1 ネットリスト記録部
- 5 機能ブロック仮配置部
- 6 ロジック領域分割部
- 7 ロジック領域利用率予測値算出部
- 8 ロジック領域利用率予測値判断部
- 9 フロアプラン情報出力部
- 1 1 第 2 ネットリスト記録部
- 1 2 基本セル情報記録部
- 1 3 データベース作成部
- 1 4 データベース記録部
- 1 5 配線長平均予測値等算出式作成部
- 1 6 配線長平均予測値等算出部
- 1 7 第 1 補正部
- 1 8 利用率予測値算出式作成部

- 1 9 利用率予測値算出部
- 2 0 第 2 補正部
- 2 1 配線長予測値出力部
- 6 2、6 3、6 5～6 7、6 9～7 2 基本セル
- 6 4、6 8、7 3 ネット
- 5 0 半導体装置
- 5 1 入出力領域
- 5 2～5 5 機能ブロック
- 5 6 ロジック領域
- 5 7～6 1 矩形領域

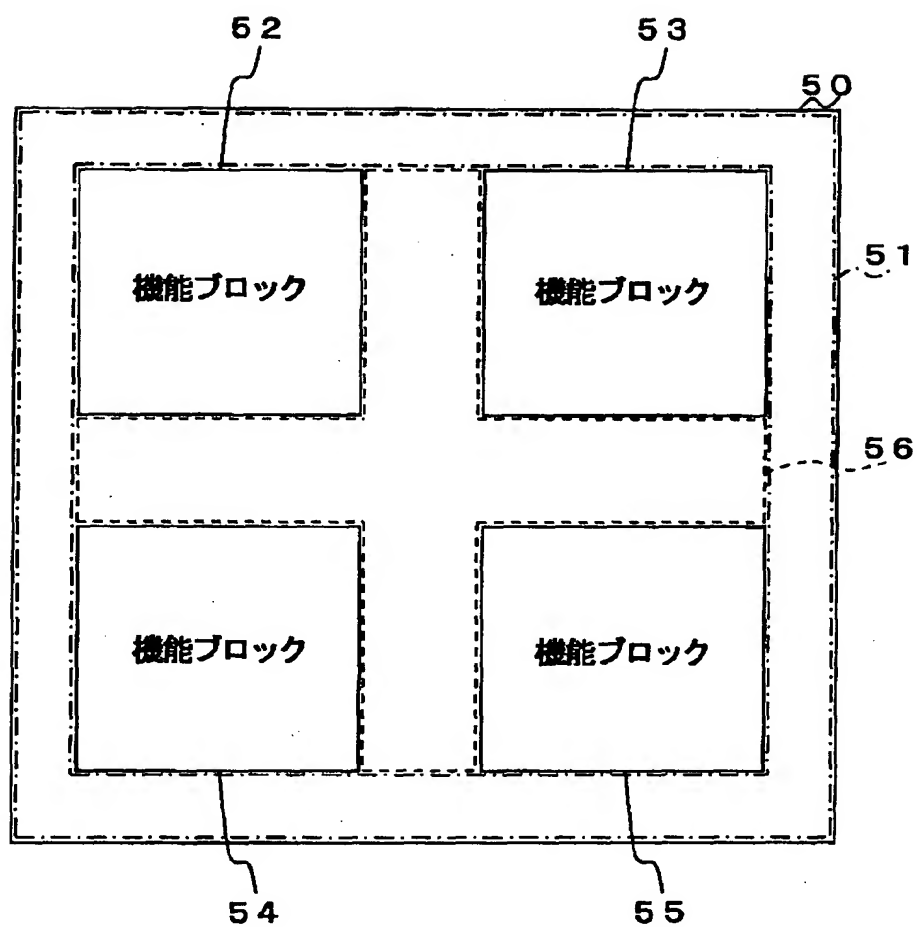
【書類名】 図面

【図1】

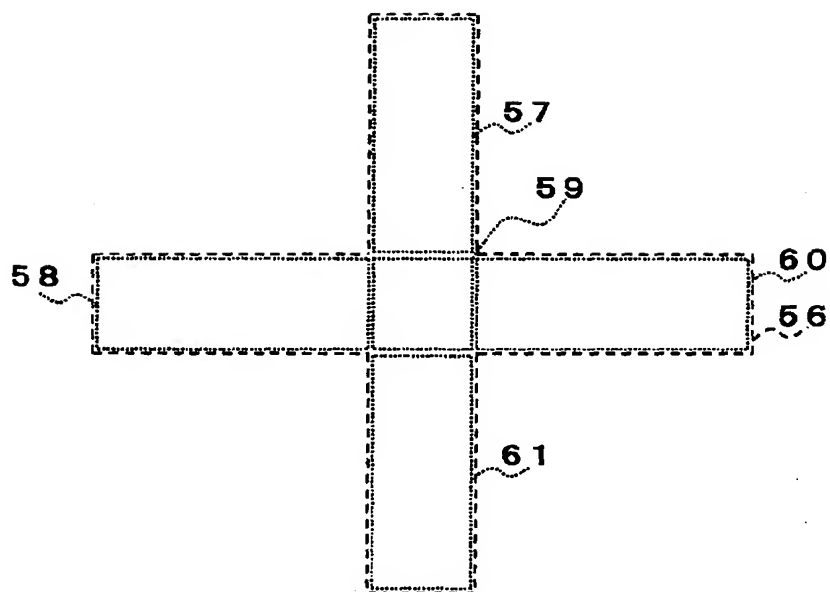




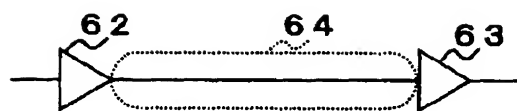
【図 2】



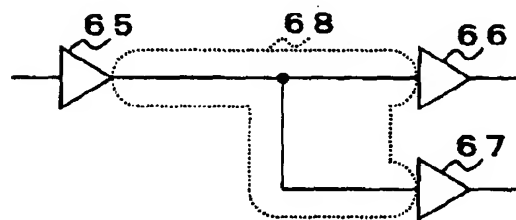
【図 3】



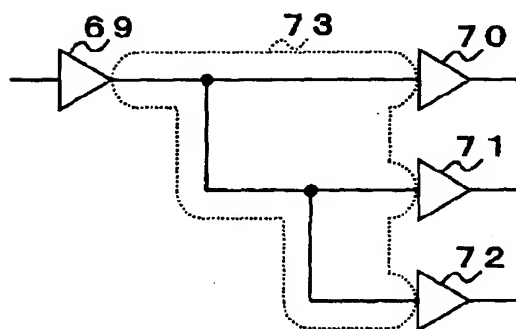
【図 4】



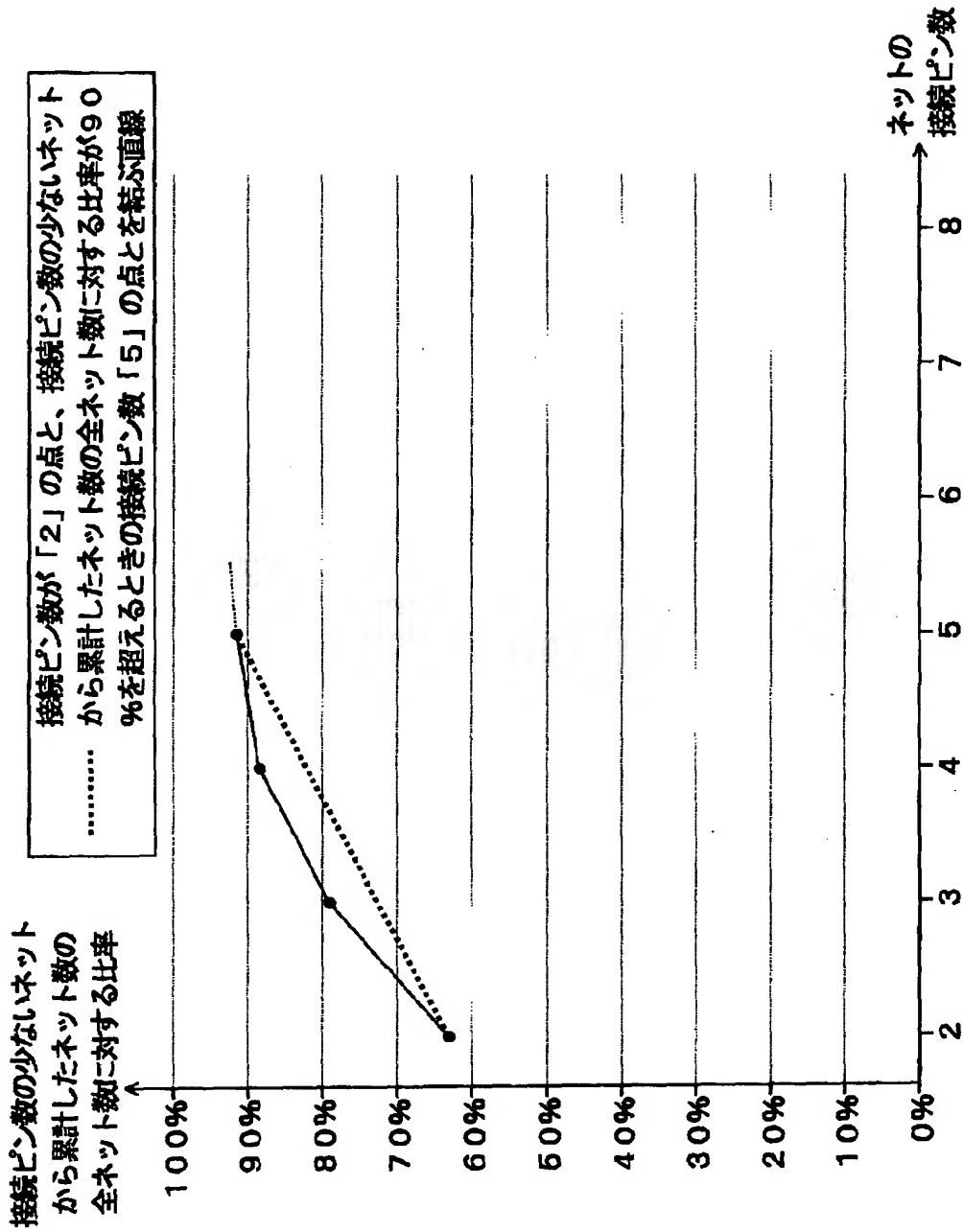
【図 5】



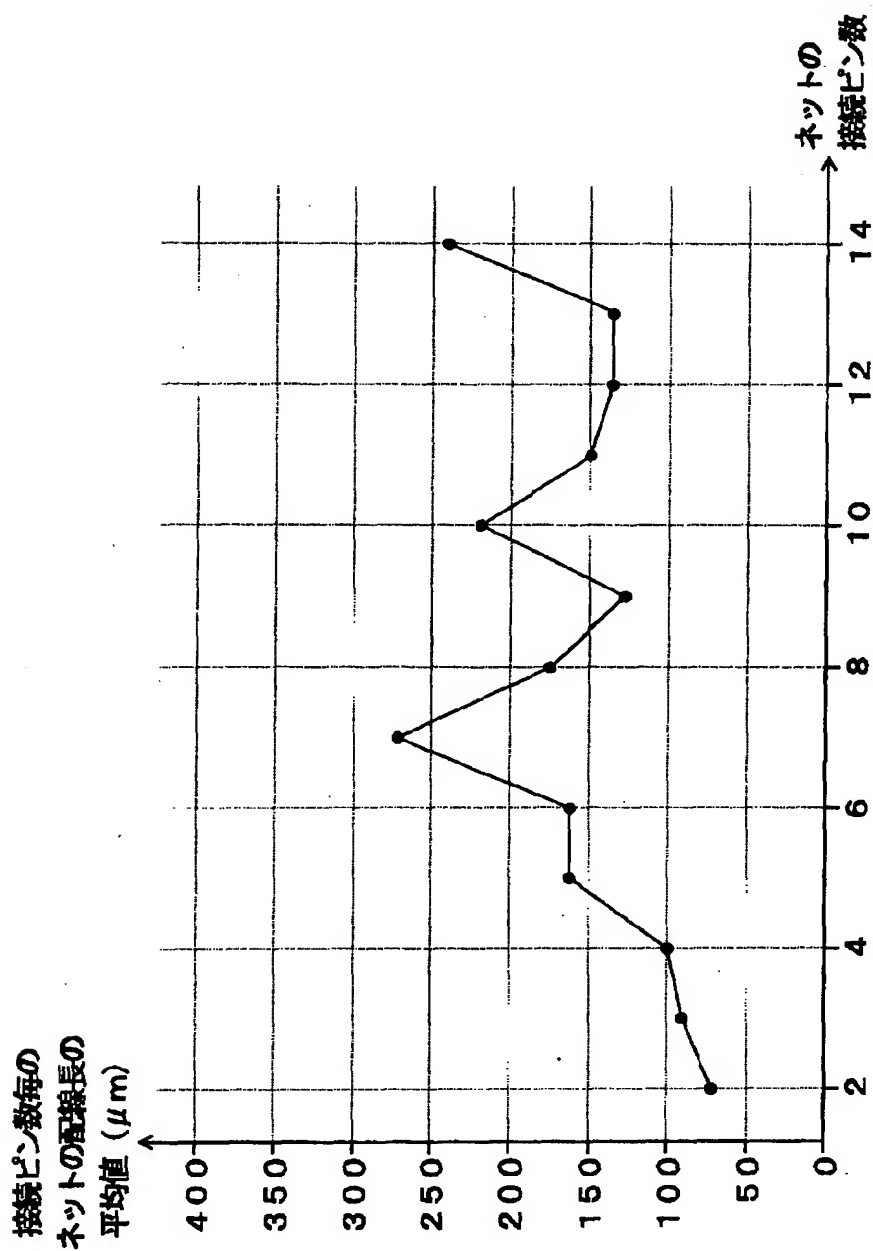
【図 6】



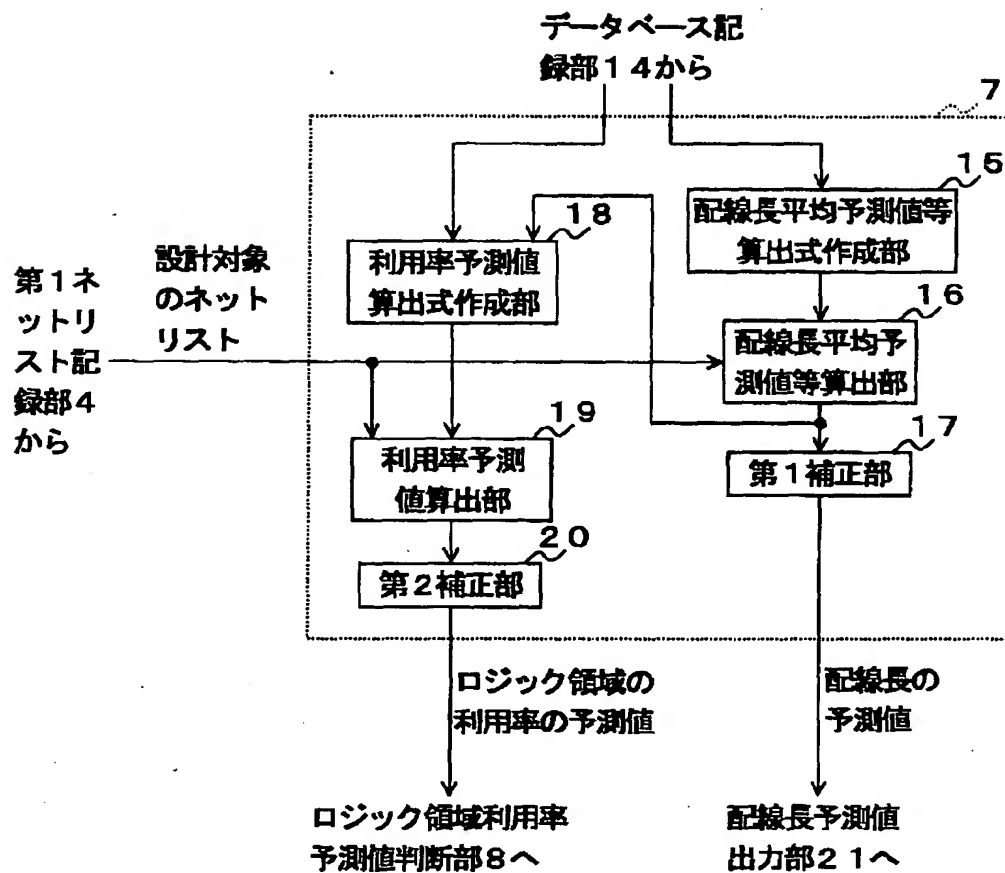
【図 7】



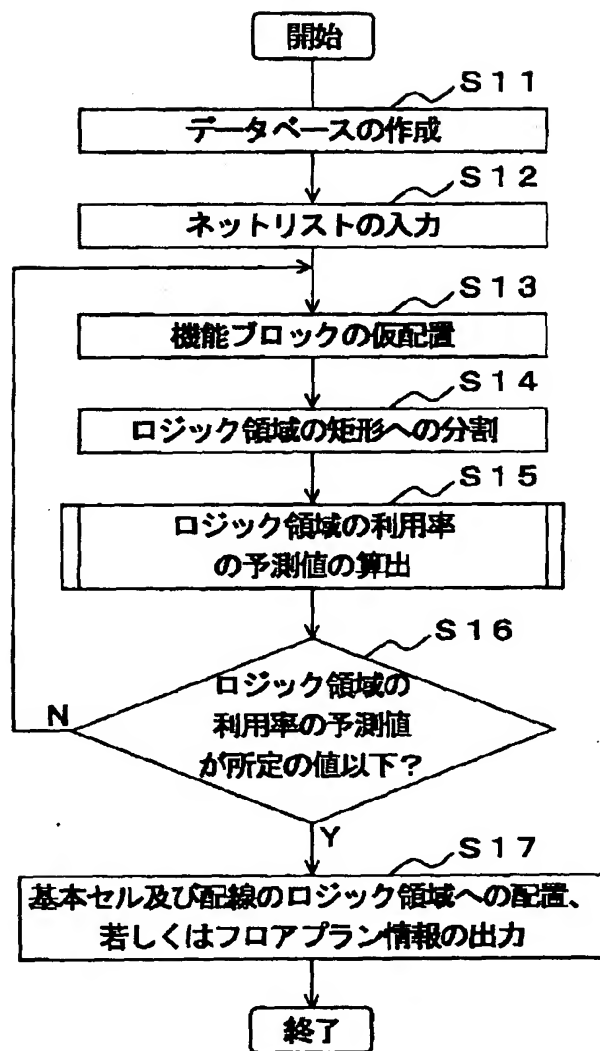
【図 8】



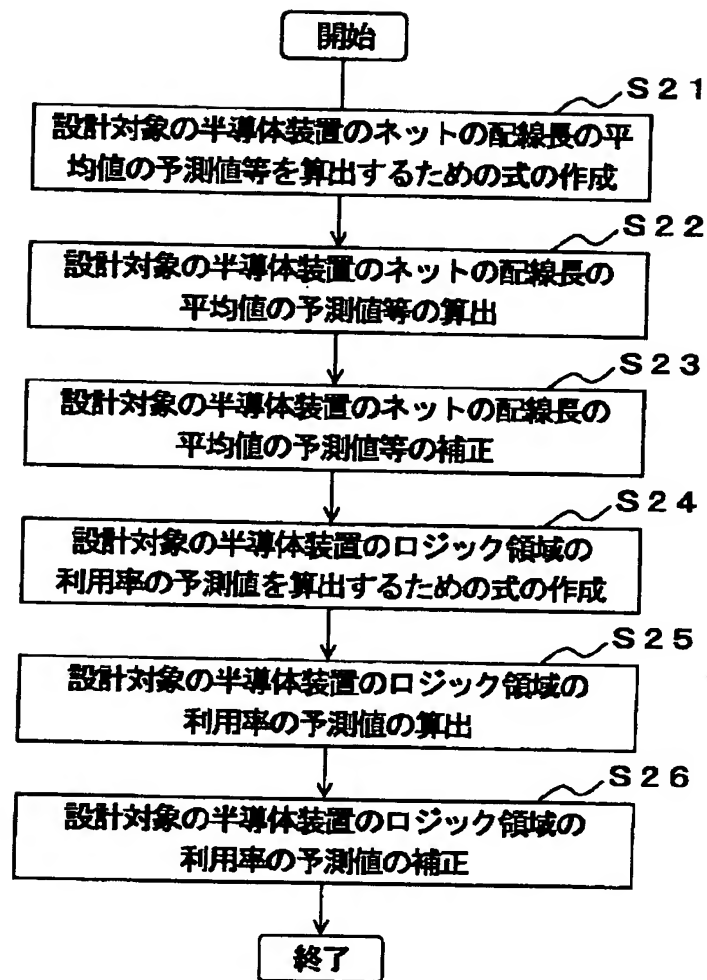
【図 9】



【図10】



【図 11】





【書類名】 要約書

【要約】

【課題】 半導体装置の設計時間を短縮することができる半導体装置の設計方法等を提供する。

【解決手段】 この設計方法は、設計対象である半導体装置のネットリストを受信するステップ（a）と、複数の機能ブロックを仮配置するステップ（b）と、ロジック領域を複数の矩形領域に分割するステップ（c）と、データベース及び設計対象である半導体装置のネットリストに基づいて、配線長の予測値及びロジック領域の利用率の予測値を算出するステップ（d）と、所定の条件を満たさない場合にステップ（b）～ステップ（d）を繰り返すステップ（e）と、所定の条件を満たす場合に複数の基本セル及び配線を配置するステップ（f）と、配線長の予測値を出力するステップ（g）とを具備する。

【選択図】 図 1 0

特 2 0 0 2 - 2 2 1 2 6 1

認定・付加情報

特許出願の番号	特願2002-221261
受付番号	50201123910
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 7月31日

<認定情報・付加情報>

【提出日】	平成14年 7月30日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社